

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297873

(43)Date of publication of application: 29.10.1999

(51)Int.Cl.

H01L 23/12

(21)Application number : 10-101522

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.04.1998

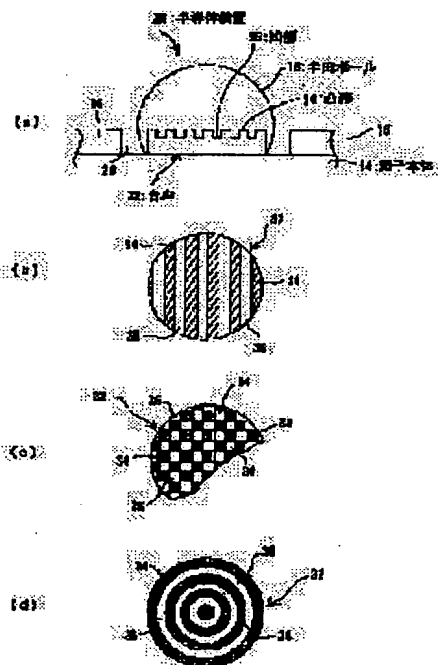
(72)Inventor : HANAOKA TERUNAO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To relax shear stress acting on solder balls when a semiconductor device is mounted.

SOLUTION: A semiconductor device 30 is equipped with a pad 32 of copper on the outer terminal of a device main body 14, and a solder ball 18 is provided covering the pad 32. The pad 32 is possessed of projections 34 and recesses 36 on its upside. These projections 34 and recesses 36 are formed like belts, a checkered pattern or concentric circles, so that a joint surface between the pad 32 and the solder ball 18 is enhanced in area. The projections 34 are deflected and deformed by shear stress imposed on solder (solder ball 18) to relax the shear stress absorbing it partly when the solder ball 18 is melted and the semiconductor device 30 is mounted on a board.



LEGAL STATUS

[Date of request for examination]

15.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297873

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶
H 0 1 L 23/12

識別記号

F I
H 0 1 L 23/12

L

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平10-101522

(22) 出願日 平成10年(1998)4月13日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 花岡 輝直

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

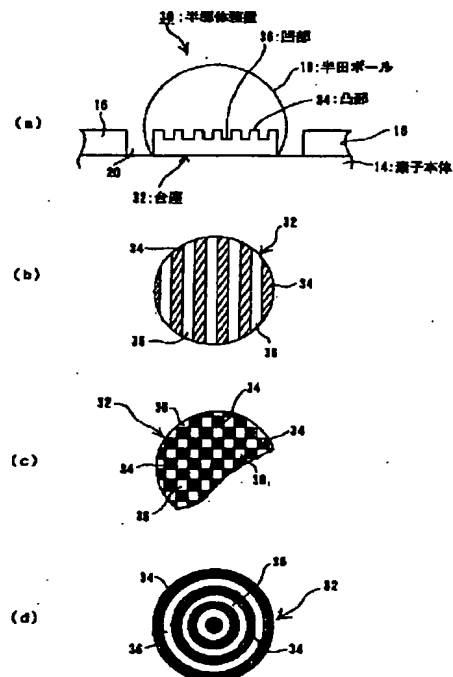
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 実装の際に半田ボールに作用する剪断応力を緩和する。

【解決手段】 半導体素子30は、素子本体14の外部端子に銅からなる台座32が形成してあって、半田ボール18が台座を覆うように設けてある。台座32は、上面に複数の凸部34と凹部36とを有する。これらの凸部34と凹部36とは、帯状、市松模様状または同心円状に形成してあり、半田ボール18との結合面積を大きくしてある。凸部34は、半田ボール18を溶融して半導体素地30を基板に実装した際に、半田(半田ボール18)に作用する剪断応力によって撓んで変形し、剪断応力の一部を吸収して応力を緩和する。



【特許請求の範囲】

【請求項1】 外部接続端子に半田ボールを固着した半導体装置において、前記半田ボールを固着する台座の表面に凸部または凹部を形成したことを特徴とする半導体装置。

【請求項2】 前記凸部または前記凹部は、複数設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記複数の凸部は、剣山状に形成していることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記台座は、茸状に形成していることを特徴とする請求項1に記載の半導体装置。

【請求項5】 外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第1のレジスト膜を設けてパターニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第1のレジスト膜を取り去る外部端子位置に前記金属層からなる台座を形成する工程と、前記能動面の上部に第2のレジスト膜を設けてパターニングし、前記台座の上の一部にのみ前記第2のレジスト膜を残す工程と、前記台座をハーフエッチングしたのち、第2のレジスト膜を除去して台座の上面に凸部または凹部を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項6】 外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第1のレジスト膜を設けてパターニングし、前記外部端子に対応した部分の一部にのみ第1のレジスト膜を残す工程と、前記金属層をハーフエッチングしたのち、前記第1のレジスト膜を除去する工程と、前記能動面の上部に第2のレジスト膜を設けてパターニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項7】 外部端子を有する能動面に導電性金属薄膜を形成する工程と、前記金属薄膜の上に第1のレジスト膜を設けてパターニングし、前記外部端子に対応した部分の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部に導電性金属を堆積して金属堆積層を形成したのち、前記第1のレジスト膜を除去する工程と、前記能動面の上部に第2のレジスト膜を形成してパター

ニングし、前記金属堆積層の一部にのみ前記第2のレジスト膜を残す工程と、

前記金属堆積層の露出部をハーフエッチングするとともに、前記金属薄膜の露出部をエッチングして除去したのち、前記第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項8】 外部端子を有する能動面に導電性金属薄膜を形成する工程と

、前記金属薄膜の上に第1のレジスト膜を設けてパターニングし、前記外部端子に対応した部分以外の前記金属薄膜を露出させる工程と、

前記金属薄膜の露出部をエッチングして除去したのち、前記第1のレジスト膜を取り除く工程と、前記能動面の上部に第2のレジスト膜を設けてパターニングし、前記外部端子に対応した位置の前記金属薄膜を露出させる工程と、

露出させた前記金属薄膜の上に導電性金属を前記第2のレジスト膜の上部までメッキしたのち、第2のレジスト膜を除去して外部端子位置にメッキした前記導電性金属による台座を形成する工程と、

前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特にボールグリッドアレイ（BGA）のように外部接続端子に半田ボールを固着した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化、小型化が強く要請されており、チップ程度の大きさのパッケージ、いわゆるチップサイズパッケージ（CSP）の開発が行なわれている。このような小型のパッケージにおいては、多ピン（多端子）化を図るために、半導体素子やパッケージの能動面に外部接続端子をマトリックス状に配置し、外部接続端子に半田ボールを固着している。図7は、半田ボールを有する従来の半導体素子の一部を示したものである。

【0003】図7において、半導体素子10は、素子本体14の表面の外部接続端子に対応した位置に台座12が銅の薄層によって形成してある。また、素子本体14の表面には、台座12の周縁部を覆っているソルダレジスト16が設けてある。そして、台座12のソルダレジスト16に覆われていない部分には、半田ボール18が固着してある。

【0004】ところで、CSPなどの半導体装置においては、高集積化、多ピン化を図るために台座12や半田ボール18の大きさが直径で200～300μm程度に

制約される。このため、台座12と半田ボール18との接合面積が小さくなり、両者の結合力が不足して半導体素子10を基板に実装したときに、半導体チップ10と実装基板との熱膨張率の相違から半田ボール18に大きな剪断応力が作用し、半田ボール18が台座12から剥離する問題を生ずる。そこで、半田ボール18と台座12との結合力を高めるために、図8のような構造の端子が提案されている。

【0005】すなわち、ソルダレジスト16を台座12に被せずに、台座12とソルダレジスト16との間に間隙20を形成し、半田ボール18の下部が台座12の側面を覆うようにし、半田ボール18と台座12との接合面積を大きくするとともに、実装の際に半田ボール18に作用する剪断応力を台座12を介して素子本体14によって受けるようにしている。

【0006】

【発明が解決しようとする課題】ところが、上記した従来の半導体装置においては、半導体素子10の基板への実装の際に、半田ボール18に作用する剪断応力を台座12を介して素子本体14に伝達するようになっていて、半田ボール18に作用する剪断応力を緩和する構造を有していないため、また台座12と半田ボール18との結合力が充分でないため、半田ボール18にクラックを生じたり、台座12が素子本体14から剥がれたり、素子本体14が欠けるなどして充分な信頼性を得ることができない。

【0007】本発明は、前記従来技術の欠点を解消するためになされたもので、実装の際に半田ボールに作用する剪断応力を緩和することを目的としている。

【0008】また、本発明は、半田ボールと台座との結合力を大きくすることを目的としている。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置は、外部接続端子に半田ボールを固着した半導体装置において、前記半田ボールを固着する台座の表面に凸部または凹部を形成した構成となっている。このように構成した半導体装置は、半田ボールを溶融して半導体装置を基板に実装したときに、半導体装置と実装基板との熱膨張率の相違による半田

(半田ボール)に作用する剪断応力により凸部、または凹部を形成している周囲の凸状部が変形することにより剪断応力の一部を吸収するため、剪断応力が緩和され、半田にクラックが生じたり、または台座が剥がれたり半導体装置に欠けを生じたりするのを防止することができる。また、台座に凸部または凹部を形成したことにより、台座と半田ボールとの結合面積(接触面積)を大きくなって両者の結合力が大きくなるとともに、半田に作用する剪断応力を分散することができ、半田にクラックなどが生ずるのを防止することができる。

【0010】凸部または凹部を複数設けることにより、

台座と半田ボールとの結合面積をより大きくなって両者の結合力を高めることができる。複数の凸部を剣山状に、すなわち凸部のアスペクトを大きくすると、半田に作用する剪断応力によって凸部が容易に撓むため、剪断応力の緩和効果をより大きくすることができる。また、台座を茸状に形成すると、台座全体が撓んで半田に作用する剪断応力を緩和することができるばかりでなく、台座に傘部が形成されるため、剪断応力によって半田が台座から剥離するようなことがない。

【0011】そして、上記の半導体装置を製造する方法は、外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第1のレジスト膜を取り去る外部端子位置に前記金属層からなる台座を形成する工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記台座の上の一部にのみ前記第2のレジスト膜を残す工程と、前記台座をハーフエッチングしたのち、第2のレジスト膜を除去して台座の上面に凸部または凹部を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成にしてある。これにより、台座の上面に凹凸が形成され、台座と半田ボールとの接触面積が大きくなって両者の結合力を向上できるとともに、実装時に半田に作用する剪断能力を緩和することができる。

【0012】また、本発明に係る半導体装置の製造方法は、外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第1のレジスト膜を設けてパターンニングし、前記外部端子と対応した部分の一部にのみ第1のレジスト膜を残す工程と、前記金属層をハーフエッチングしたのち、前記第1のレジスト膜を除去する工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成にした。

【0013】さらに、本発明に係る半導体装置の製造方法は、外部端子を有する能動面に導電性金属薄膜を形成する工程と、前記金属薄膜の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部に導電性金属を堆積して金属堆積層を形成したのち、前記第1のレジスト膜を除去する工程と、前記能動面の上部に第2のレジスト膜を形成してパターンニングし、前記金属堆積層の一部にのみ前記第2のレジスト膜を残す工程と、前記金属堆積層の露出部をハーフエッチングするとともに、前記金属薄膜の露出部をエッチングして除去

したのち、前記第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成となっている。

【0014】さらに、本発明に係る半導体装置の製造方法は、外部端子を有する能動面に導電性金属薄膜を形成する工程と、前記金属薄膜の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部をエッチングして除去したのち、前記第1のレジスト膜を取り除く工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記外部端子と対応した位置の前記金属薄膜を露出させる工程と、露出させた前記金属薄膜の上に導電性金属を前記第2のレジスト膜の上部までメッキしたのち、第2のレジスト膜を除去して外部端子位置にメッキした前記導電性金属による台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成にしてある。これにより、茸状の台座を形成することができ、台座と半田ボールとの結合力を高めることができ、また実装時における半田に作用する剪断応力の緩和とすることができる。

【0015】

【発明の実施の形態】本発明に係る半導体装置およびその製造方法の好ましい実施の形態を、添付図面に従って詳細に説明する。

【0016】図1は、本発明の実施の形態に係る半導体装置の要部説明図であって、(a)はその断面図、

(b)は台座の平面図であり、(c)、(d)はそれぞれ台座に形成した凹凸の他の例を示す平面図である。

【0017】図1(a)において、半導体装置となる半導体素子30は、能動面の外部端子に銅からなる台座32が形成してあるとともに、台座32の周囲にソルダレジスト16が設けてあって、台座32とソルダレジスト16との間に間隙20が形成されている。そして、台座32には、上面と側面とを覆うように半田ボール18が固着してある。また、台座32は、上面に複数の凸部34が形成してあって、半田ボール18との接触面積（結合面積）が大きくなってある。凸部34と、凸部間の凹部36とは、同図(b)に示したように、帯状に形成してある。そして、この実施の形態の場合、台座32の直径が200～300μm程度の大きさとなっていて、凸部34と凹部36とは、幅が同じに形成してあって、幅の寸法が20～50μmにしてある。

【0018】このように構成した実施の形態においては、リフロー炉などによって半田ボールを溶融して半導体素子30を図示しない実装基板に実装した場合、冷却時に半導体素子30と実装基板との熱膨張率の相違によって半田（半田ボール18）に剪断応力が作用すると、凸部34が撓み変形して剪断応力の一部を吸収し、剪断応力を緩和する。このため、半田にクラックが発生した

り、台座32が素子本体14から剥がれたり、素子本体14が欠けたりするのを防止することができる。しかも、台座32の上面に複数の凹凸を設けたことにより、台座32と半田ボール18との結合面積を大幅に大きくなって両者の結合力が増し、半田が剥離するなどの事故をなくすることができるばかりでなく、半田に作用する剪断応力を分散でき、半田にクラックが生ずるのを防止できる。

【0019】なお、台座32に形成する凸部34（または凹部36）は、同図(c)に示したように市松模様状に形成してもよいし、同図(d)に示したように同心円状に形成してもよい。そして、前記実施の形態においては、半導体素子30の外部端子に凹凸を有する台座32を設けた場合について説明したが、BGAなどのパッケージの外部接続端子に対しても適用することができる。

【0020】図2(a)～(d)は、台座の他の実施形態の示したものである。図2(a)に示した台座40は、上面の中心部に円柱状の凸部42が形成してある。この台座40においては、半田に剪断応力が作用すると、中心部の凸部42が撓んで剪断応力の一部を吸収して応力を緩和する。さらに、同図(b)に示した台座44は、上面の中央部が凹部46となっていて、周縁部が凸部48となっている。そして、この台座44は、半田に剪断応力が作用すると、周縁部の凸部48が変形して剪断応力を吸収、緩和する。

【0021】図2(c)に示した台座50は、軸部52と軸部52の上部に傘部54とを有する茸状に形成してある。この台座50は、全体が撓むことによって剪断応力を緩和する。なお、台座50は、詳細を後述するように、メッキによって容易に形成することができる。

【0022】図2(d)に示した台座60は、凹部62と凸部64とを交互に形成するとともに、凹部62を深く形成してアスペクト比を大きくし、いわゆる剣山状に形成したものである。この台座60は、実施の形態の場合、直径Dが200～300μmであって、素子本体14の表面からの基部66の高さhが5～20μm、凸部64の高さ（凹部62の深さ）Hが20～100μm、凸部64の一辺の長さLが20～50μmに形成してある。これにより、凸部64が半田に作用する剪断応力によって容易に撓むため、大きな応力緩和効果を得ることができる。

【0023】図3は、上記した半導体素子30の製造方法の実施形態の一例を示した説明図である。まず、同図(a)に示したように、素子本体14の能動面に銅層70を堆積する。この銅層70は、実施の形態の場合、素子本体14の表面にスパッタリングにより1000～7000オングストローム程度の銅の薄膜を形成したのち、銅の薄膜の上に銅メッキを所定の厚さ堆積したもので、全体として50～100μm程度の厚さを有している。

【0024】その後、銅層 70 の表面に第 1 のレジスト膜であるフォトレジスト 72 を塗布し、パターンニングして素子の外部端子に対応した台座を形成する部分以外のフォトレジスト 72 を除去して銅層 70 を露出させる

(同図 (b))。次に、露出させた銅層 70 をエッチングして銅からなる台座 32 を形成したのち (同図

(c))、台座 32 の上に残っていたフォトレジスト 72 を除去する (同図 (d))。さらに、図 3 (e) に示したように、素子本体 14 の上部に第 2 のレジスト膜であるフォトレジスト 74 を塗布してパターンニングし、台座 32 の上の凸部を形成する部分にだけフォトレジスト 74 を残す。その後、台座 32 をハーフエッチングして凹部 36 を所定の深さに形成し、フォトレジスト 74 を除去して上面に凸部 34 と凹部 36 とが形成された台座 32 にする (同図 (f))。次に、同図 (g) に示したように、台座 32 を覆って半田ボール 18 を設けて半導体素子 30 とする。

【0025】なお、必要に応じて台座 32 のと素子本体 14 との間に、クロム (Cr) やチタン (Ti)、チタン-タングステン合金 (TiW)、またはニッケル (Ni) などのバリアメタルを設けることができる。

【0026】図 4 は、製造方法の他の実施形態を示したものである。この製造方法は、まず素子本体 14 の表面に前記と同様にして銅層 70 を所定の厚さ堆積したのち (図 4 (a))、銅層 70 の表面に第 1 のレジスト膜であるフォトレジスト 72 を塗布してパターンニングし、台座の凸部に対応した部分のフォトレジスト 72 のみを残す (同図 (b))。その後、銅層 70 の露出している部分をハーフエッチングしたのち、残っているフォトレジスト 72 を除去して台座を設ける位置に凸部 34 と凹部 36 とを形成する (同図 (c))。次に、同図 (d) に示したように、銅層 70 の表面に第 2 のレジスト膜となるフォトレジスト 74 を塗布し、パターンニングして台座を形成する部分以外のフォトレジスト 74 を除去して銅層 70 を露出させる。次に、露出した銅層 70 をエッチングして除去したのち、台座形成部のフォトレジスト 74 を除去して凹凸を有する台座 32 を形成する (同図 (e))。その後、同図 (f) に示したように、台座 32 を覆って半田ボール 18 を設ける。

【0027】図 5 は、さらに他の実施の形態に係る半導体装置の製造方法を示したものである。この製造方法は、図 5 (a) に示したように、まず素子本体 14 の表面にスパッタリングによって銅の薄膜 76 を形成する。この銅薄膜 76 の厚さは、1000~7000 オングストロームであってよい。その後、銅薄膜 76 の上にフォトレジスト 72 を塗布してパターンニングし、台座を形成する位置のフォトレジスト 72 を除去する (同図 (b))。さらに、同図 (c) に示したように、フォトレジスト 72 を除去した部分に銅をメッキしてメッキ層 78 を形成したのち、フォトレジスト 72 を除去する

(同図 (d))。

【0028】次に、図 5 (e) に示したように、素子本体 14 の上部にフォトレジスト 74 を塗布してパターンニングし、銅メッキ層 78 に形成する凸部に対応した部分にのみフォトレジスト 74 を残す。そして、露出している銅薄膜 76 をエッチングして除去するとともに、銅メッキ層 78 をハーフエッチングしたのち、銅メッキ層 78 上のフォトレジスト 74 を除去し、上面に凸部 34 と凹部 36 とを有する台座 32 を形成する (同図

(f))。その後、前記と同様にして台座 32 を覆って半田ボール 18 を設けて半導体素子 30 を完成させる。

【0029】図 6 は、茸状の台座を有する半導体装置の製造方法の実施形態を示したものである。まず、図 6

(a) に示したように、素子本体 14 の表面にスパッタリングによって銅の薄膜 76 を形成する。次に、銅薄膜 76 の上に第 1 のレジスト膜となるフォトレジスト 72 を塗布してパターンニングし、素子本体 14 の外部端子と対応した部分以外の銅薄膜 76 を露出させる (同図

(b))。その後、同図 (c) に示したように、銅薄膜 76 の露出部をエッチングして除去したのち、外部端子との対応位置に残したフォトレジスト膜 72 を除去する。さらに、素子本体 14 の上部に第 2 のレジスト膜となるフォトレジスト 74 を塗布してパターンニングし、銅薄膜 76 上部のフォトレジスト 74 を除去して銅薄膜 76 を露出させる (同図 (d))。

【0030】次に、露出させた銅薄膜 76 の上に銅のメッキを施して銅メッキ層 80 を形成する (図 6

(e))。この銅メッキ層 80 は、図に示されているように、フォトレジスト 74 の上部に盛り上がるまで行なう。これにより、銅メッキ層 80 は、フォトレジスト 74 の上面の孔 82 の周囲に広がって茸状になる。そして、銅のメッキ層 80 が茸状に形成されたならば、洗浄、乾燥したのち、フォトレジスト 74 を除去し、茸状の台座 50 を形成する。その後、台座 50 を覆って半田ボール 18 を設ける。

【0031】

【発明の効果】以上に説明したように、本発明によれば、半田ボールを固着する台座に凸部または凹部を設けたことにより、半田ボールを溶融して半導体装置を基板に実装したときに、半導体装置と実装基板との熱膨張率の相違による半田 (半田ボール) に作用する剪断応力により凸部、または凹部を形成している周囲の凸状部が変形して剪断応力の一部を吸収するため、剪断応力が緩和され、半田にクラックが生じたり、または台座が剥がれたり半導体装置に欠けを生じたりするのを防止することができる。また、台座に凸部または凹部を形成したことにより、台座と半田ボールとの結合面積 (接触面積) を大きくなって両者の結合力が大きくなるとともに、半田に作用する剪断応力を分散することができ、半田にクラックなどが生ずるのを防止することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係る半導体装置の要部説明図である。

【図 2】本発明の他の実施形態に係る台座の説明図である。

【図 3】実施の形態に係る半導体装置の製造方法の一例を示す説明図である。

【図 4】他の実施形態に係る半導体装置の製造方法の説明図である。

【図 5】さらに他の実施の形態に係る半導体装置の製造方法の説明図である。

【図 6】実施の形態に係る茸状台座を有する半導体装置の製造方法の説明図である。

【図 7】従来の半田ボールを有する半導体素子の要部説

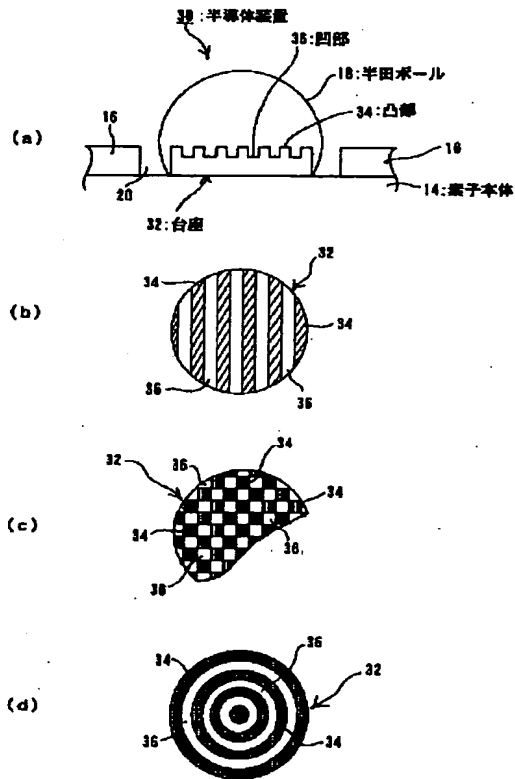
明図である。

【図 8】半田ボールを設けた従来の他の半導体素子の要部説明図である。

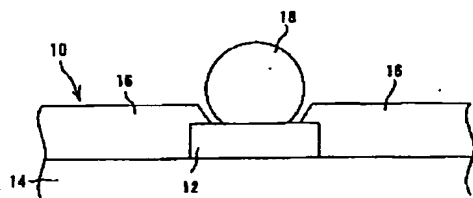
【符号の説明】

1 4	素子本体
1 8	半田ボール
3 0	半導体素子
3 2	台座
3 4	凸部
3 6	凹部
4 0、4 4、5 0、6 0	台座
4 2、4 8、6 4	凸部
4 6、6 2	凹部

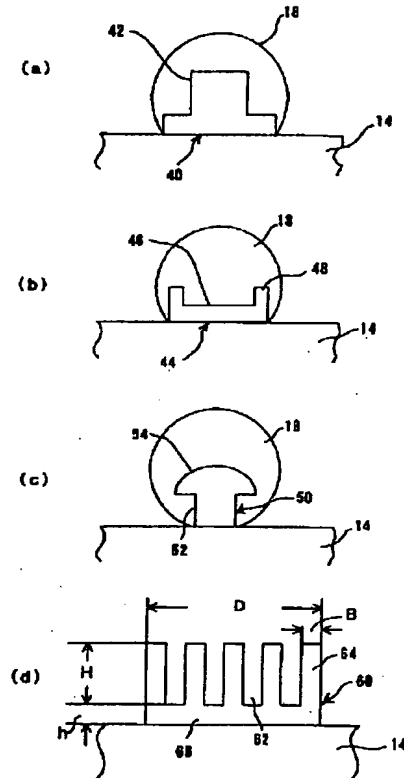
【図 1】



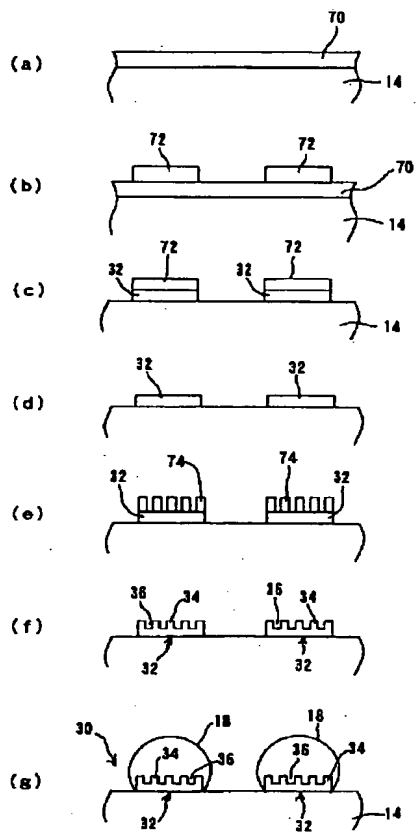
【図 7】



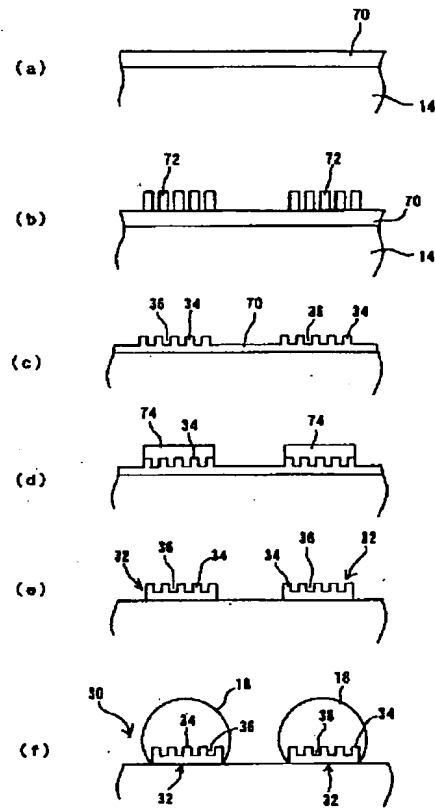
【図 2】



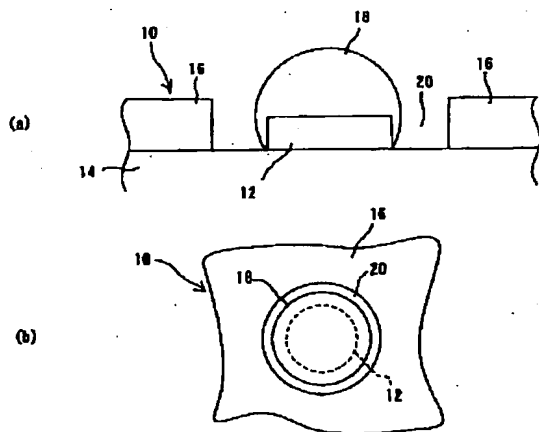
【図 3】



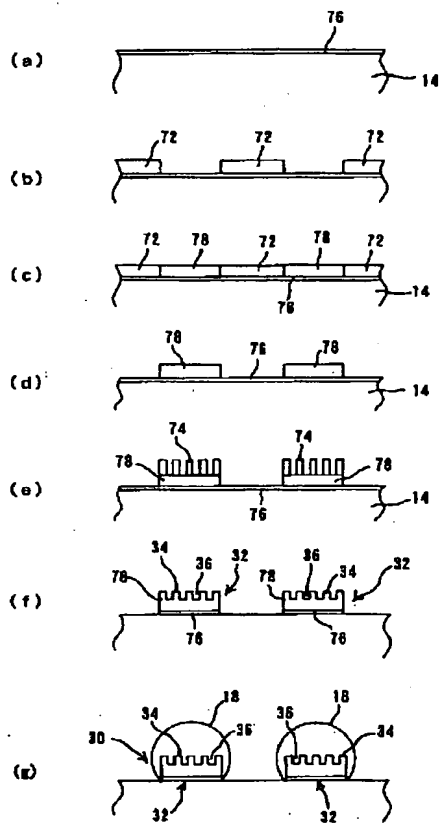
【図 4】



【図 8】



【図5】



【図6】

